

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-293365

(43)Date of publication of application : 16.10.1992

(51)Int.Cl.

H04N 5/20

(21)Application number : 03-058657

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.03.1991

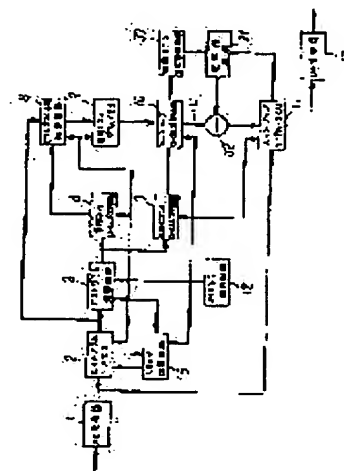
(72)Inventor : TSUJI TOSHIAKI  
KAGEYAMA ATSUHISA

## (54) GRADATION CORRECTION DEVICE

### (57)Abstract:

**PURPOSE:** To realize the gradation correction device implementing a quick response in following a change in a video image scene stably and smoothly by solving a problem of mis-detection of a control signal due to effect of noise or the like resulting in vibrating a correction output in the gradation correction device used for a television receiver.

**CONSTITUTION:** An output of a lookup table memory 11 is fed to a constant multiple circuit 31 and an output signal of the circuit 31 and an output signal of a lookup table arithmetic circuit 10 are added by an adder 32 and the result of the addition is set to the lookup table memory 11. Moreover, a video scene change detection circuit 33 is provided between an output terminal of the lookup table arithmetic circuit 10 and a coefficient control terminal of the constant multiple circuit 31 to change a coefficient of the constant multiple circuit 31 in response to a change in a video image scene thereby implementing the gradation correction in following a change in a video image scene stably and smoothly with immunity to noise.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-293365

(43) 公開日 平成4年(1992)10月16日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/20

識別記号

庁内整理番号

8626-5C

F I

技術表示箇所

審査請求 未請求 請求項の数4(全9頁)

(21) 出願番号 特願平3-58657

(22) 出願日 平成3年(1991)3月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 辻 敏昭

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 影山 敏久

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

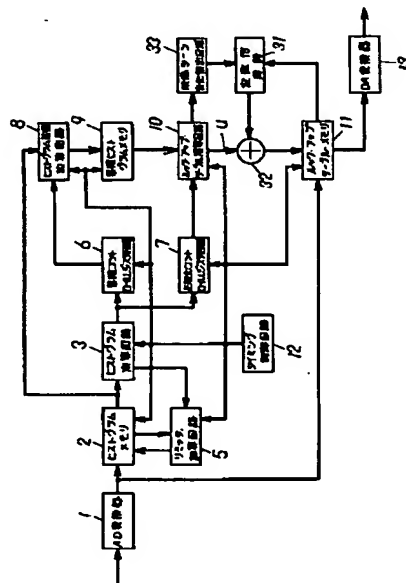
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 階調補正装置

(57) 【要約】

【目的】 テレビジョン受像機で使用される階調補正装置において、雑音等の影響によって制御信号を誤検出し、その結果、補正出力が振動する問題を解決し、安定で滑らか、かつ映像シーンの変化に追従した素早い応答を行う階調補正装置を提供することを目的とする。

【構成】 ルックアップテーブルメモリ11の出力を定数倍回路31に供給し、この出力信号とルックアップテーブル演算回路10の出力信号を加算器32で加算し、この加算結果をルックアップテーブルメモリ11にセットする。さらに、ルックアップテーブル演算回路10の出力端と定数倍回路31の係数制御端との間に映像シーン変化検出回路33を設け、映像シーンの変化に応じて定数倍回路31の係数を変化させることにより、雑音の影響を受けない安定で滑らか、かつ映像シーンの変化に追従した階調補正を行うことができる。



## 【特許請求の範囲】

【請求項1】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリの出力信号を入力としこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力端に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、上記ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力し上記ヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端に接続され1垂直走査期間前のヒストグラムデータを蓄えるバッファと、このバッファの出力端に接続された定数倍回路と、上記ヒストグラムメモリの出力データと定数倍回路の出力データを加算し、この加算結果をヒストグラムメモリに入力する加算器と、上記各回路を制御するタイミング制御回路を備えたことを特徴とする階調補正装置。

【請求項2】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリの出力信号を入力としこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力端に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、上記ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力し上記ヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端に接続され1垂直走査期間前のヒストグラムデータを蓄えるバッファと、上記ヒストグラムメモリの出力端に接続され映像シーンの変化を検出する回路と、上記バッファの出力信号を入力し上記映像シーン変化検出回路の出力信号により係数の値が変化する定数倍回路と、上記ヒストグラムメモリの出力データと定数倍回路の出力データを加算し、この加算結果をヒストグラムメモリに入力する加算器と、タイミング制御回路を備えた

ことを特徴とする階調補正装置。

【請求項3】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリの出力信号を入力としこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力端に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、上記ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力し上記ヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力データと定数倍回路の出力データを加算する加算器と、この加算器の出力データを記憶するルックアップテーブルメモリと、このルックアップテーブルメモリのデータを定数倍してその結果を上記加算器に出力する定数倍回路と、タイミング制御回路を備えたことを特徴とする階調補正装置。

【請求項4】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリの出力信号を入力としこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力端に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、上記ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力信号と累積ヒストグラムレジスタ回路の出力に信号を入力し上記ヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力データと定数倍回路の出力データを加算する加算器と、この加算器の出力データを記憶するルックアップテーブルメモリと、上記ルックアップテーブル演算回路の出力端に接続された映像シーンの変化を検出する回路と、この映像シーン変化検出回路の出力信号により変化する係数で上記ルックアップテーブルメモリのデータを定数倍して加算器に出力する定数倍回路と、タイミング制御回路を備えたことを特徴とする階調補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、テレビジョン受像機、ビデオテープレコーダ等の、映像信号の階調を補正する場合に用いる階調補正装置に関するものである。

【0002】

【従来の技術】近年、階調補正装置は、カラーテレビジョン受像機の大形化、高画質化にともない、画像をより鮮明に見せるため、映像信号を非線形な増幅器に通すことによって、映像信号の階調を補正し、CRT上の映像のダイナミックレンジを拡大するために重要視されてきている。

【0003】以下に、従来の階調補正装置について説明する。図5は、従来の階調補正装置のブロック図を示すものである。図5において、1は入力輝度信号をデジタル値に変換するAD変換器である。2は、入力輝度信号の輝度分布を取るヒストグラムメモリであり、一般的にはメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。3は、ヒストグラム演算回路であり、ヒストグラムメモリ2のデータから入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積等を算出し、その結果によりリミットレベル、加算値、累積スタート輝度レベル、累積ストップ輝度レベル、最大輝度レベル等の各制御値を計算し、リミット・加算回路5、累積コントロールレジスタ回路6、正規化コントロールレジスタ回路7に出力する。上記リミット・加算回路5は、ヒストグラム演算回路3から転送されるデータにより、ヒストグラムのデータがあるレベル以上にならないように制限を加えたり、加算演算を行ったりする。一般にはアドレスが1度アクセスされる間にデータ処理を終える。上記累積コントロールレジスタ回路6は、累積ヒストグラムを求める際に、その累積を始める輝度レベルと、累積を止める輝度レベルをヒストグラム演算回路3より与えられ、ヒストグラム累積加算回路8を制御する。上記ヒストグラム累積加算回路8は、累積コントロールレジスタ回路6の制御信号によりヒストグラムメモリ2の処理データの累積を行う。9は、累積ヒストグラムメモリであり、ヒストグラム累積加算回路8の累積結果を記憶する。一般的にはメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。上記正規化コントロールレジスタ回路7は、累積ヒストグラムのデータを正規化してルックアップテーブルを作成する際に、その正規化後の出力輝度信号の最大輝度レベルをヒストグラム演算回路3より与えられ、その値に応じて正規化係数を制御する。10は、ルックアップテーブル演算回路であり、正規化コントロールレジスタ回路7の出力信号をもとに累積ヒストグラムメモリ9のデータを正規化する。11は、ルックアップテーブルメモリであり、ルックアップテーブル演算回路10で正規化されたデータを記憶する。一般的にはメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。12は、タイミング制御回路であり、各演算の

順序や、各メモリの制御等を行う。13はDA変換器であり、ルックアップテーブルで補正されたデジタル値の出力輝度信号をアナログ値に変換する。

【0004】以上のように構成された階調補正回路について、以下その動作について説明する。図6に各部の動作波形を図示する。

【0005】まず、入力輝度信号aをAD変換器1に入力し、デジタル値に変換し、変換入力輝度信号bとして出力する。ヒストグラムメモリ2は、この変換入力輝度信号bをアドレスとし、データをリミット・加算回路5で処理する。この動作を1垂直走査期間行うことによって入力輝度信号aのヒストグラム分布を取ることができる。これを図6(a)に示す。

【0006】次に、このヒストグラム分布の入ったヒストグラムメモリ2のデータをヒストグラム演算回路3が読み出し、入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積等を計算する。そして、これらの計算結果からリミットレベル、加算値、累積計算のスタート輝度レベル、およびストップ輝度レベル、正規化後の最大輝度レベル等の各制御値を求め、これらのデータをリミット・加算回路5、累積コントロールレジスタ回路6、正規化コントロールレジスタ回路7に転送する。

【0007】次に、リミット・加算回路5はヒストグラムメモリ2からデータを読み出し、各データに対しヒストグラム演算回路3から転送された各データをもとにリミット(図6(b))や加算等の演算を行い、その結果(補正ヒストグラムデータc)をヒストグラム累積加算回路8に出力する(図6(c))。ここで、加算値が一定の場合、その値が大きいくほど累積曲線は直線に近くなり、また小さいほどヒストグラム平坦化処理に近くなる(図6(c)、図6(d))。

【0008】そして、ヒストグラム累積加算回路8は、累積コントロールレジスタ回路6より与えられる累積スタート輝度レベルと累積ストップ輝度レベルにより、その範囲内について補正ヒストグラムデータcの累積ヒストグラムデータfを計算し、この結果を累積ヒストグラムメモリ9に記憶する。

【0009】次に、ルックアップテーブル演算回路10は、累積ヒストグラムメモリ9からデータを読み出し、その累積ヒストグラムデータgの最大値が正規化コントロールレジスタ回路7より与えられる最大出力輝度レベルhになるように正規化係数を求め、この係数で全累積ヒストグラムデータgに対して演算を行い、その結果iをルックアップテーブルメモリ11に記憶する。このとき、最大出力輝度レベルhを制御することにより自動コントラストコントロール(ACL)や、自動ブライトコントロール(ABL)のような動作ができる。この動作を図6(e)に示す。

【0010】次に、ルックアップテーブルメモリ11

5

は、変換入力輝度信号bをアドレスとしてそのデータを読み出し、このデータを補正出力輝度信号jとして出力する(図6(f))。そして、DA変換器13は、この補正出力輝度信号jをアナログ信号kに変換して出力する。

【0011】タイミング制御回路12は、以上述べたようなタイミングで各部の動作が行われるように各回路の動作を制御する。(たとえば、同一出願人の出願にかかる特願平1-265393号「階調補正装置」参照)

【0012】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、ヒストグラム演算回路で算出される各制御信号が、1垂直走査期間のヒストグラム分布から算出する瞬時値であるため、映像信号に含まれる雑音等により、これらの値が大きく変動し、その結果、補正した出力輝度信号が振動するという問題点を有していた。

【0013】本発明は上記従来の問題点を解決するもので、補正出力輝度信号が振動しないスムーズな補正を行う階調補正装置を提供するとともに、映像シーンの変化に追随し、出力応答が遅れないような階調補正装置を提供することを目的とする。

【0014】

【課題を解決するための手段】この目的を達成するために本発明の階調補正装置は、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端に接続されたバッファと、このバッファの出力端に接続された定数倍回路と、上記ヒストグラムメモリの出力と定数倍回路の出力を入力し、出力端がヒストグラムメモリの入力端に接続された加算器と、タイミング制御回路から構成されている。

【0015】また、本発明の階調補正装置は、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモ

6

りと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端にそれぞれ接続されたバッファおよび映像シーン変化検出回路と、上記バッファの出力端が入力端に接続され映像シーン変化検出回路の出力端が係数制御端に接続された定数倍回路と、上記ヒストグラムメモリの出力と定数倍回路の出力を入力し、出力端がヒストグラムメモリの入力端に接続された加算器と、タイミング制御回路から構成されている。

【0016】また、本発明の階調補正装置は、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力と定数倍回路の出力を入力とする加算器と、この加算器の出力端に接続されたルックアップテーブルメモリと、このルックアップテーブルメモリの出力を入力とし加算器の入力端に出力端を接続する定数倍回路と、タイミング制御回路から構成されている。

【0017】また、本発明の階調補正装置は、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力と定数倍回路の出力との和をとる加算器と、この加算器の出力を入力とするルックアップテーブルメモリと、このルックアップテーブルメモリの出力を入力し、出力端が加算器の入力端に接続された定数倍回路と、上記ルックアップテーブル演算回路の出力を入力し、出力端が定数倍回路の係数制御端に接続された映像シーン変化検出回路と、タイミング制御回路から構成されている。

【0018】

【作用】これらの構成によって、ルックアップテーブル

を作成するために用いるヒストグラム分布のデータを巡回型フィルタ回路に通すことによりヒストグラム分布の変化の時定数が大きくなり、入力される映像信号に含まれる雑音等による各制御信号の変動を抑えることができる。その結果、補正出力輝度信号の振動を止めることができる。

【0019】また、ルックアップテーブルのデータを巡回型フィルタ回路に通すことにより、雑音等によって各制御信号が誤検出され、ルックアップテーブルが大きく振動しても、フィードバック系の時定数により、補正出力輝度信号が振動することなく、滑らかな補正ができる。

【0020】さらに、映像シーンの変化を検出し、その変化の割合に応じて、巡回型フィルタ回路を構成する定数倍回路の係数を変化させることにより、たとえば、映像シーンが急激に変化したときはその係数を0にすることにより、出力応答の遅れをなくすることができる。

【0021】

【実施例】（実施例1）以下、本発明の一実施例について、図面を参照しながら説明する。

【0022】図1において、1はAD変換器、2はヒストグラムメモリ、3はヒストグラム演算回路であり、従来例と同じである。21はバッファであり、1垂直走査期間前に抽出したヒストグラムデータを蓄える。22は定数倍回路であり、バッファ21より供給される入力信号にある定数を乗算する。23は加算器であり、定数倍回路22の出力とヒストグラムメモリ2の出力との加算を行う。その加算出力はヒストグラムメモリ2に加えている。その他の回路構成も図5と同様である。

【0023】以上のように構成された階調補正装置についてその動作を説明する。まず、新しく1垂直走査期間サンプルを始める前に、既にヒストグラムメモリ2に記憶されているデータをバッファ21に転送し、ヒストグラムメモリ2の内部をクリアする。その後、新たにサンプルを行う。1垂直走査期間のサンプルが終了した後、ヒストグラムメモリ2のデータを順次読み出す。そして、その出力データ $r$ と、これに対応する輝度レベルのデータをバッファ21より読み出し、定数倍回路22である係数を乗算したデータ $s$ とを加算器23で加算する。その加算結果 $t$ をヒストグラムメモリ2に書き込み、ヒストグラム分布を更新する。以後、この更新したヒストグラム分布をもとにヒストグラム演算回路3で各制御信号を算出し、累積ヒストグラムを求め、ルックアップテーブルを作成する。

【0024】以上のように本実施例によれば、バッファ21と、定数倍回路22と、加算器23を設けることにより、入力信号に含まれる雑音等によるヒストグラム分布の変動を抑制することができる。

【0025】（実施例2）次に、本発明の第2の実施例について図面を参照しながら説明する。

【0026】図2において、2はヒストグラムメモリ、21はバッファ、22は定数倍回路、23は加算器であり、図1の構成と同様なものである。図1の構成と異なるのは、映像シーン変化検出回路24を設け、その入力端をヒストグラムメモリ2の出力端に接続し、映像シーン変化検出回路24の出力端を定数倍回路22の係数制御端に接続した点である。

【0027】以上のように構成された階調補正装置についてその動作を説明する。基本的な動作は実施例1と同様である。実施例1と異なるのは、まず、映像シーン変化検出回路24でバッファ21に蓄積された以前のヒストグラムの最小値とヒストグラムメモリ2に記憶された現ヒストグラムの最小値を比較し、その差の大きさに応じて定数倍回路22の係数を変化させる。たとえば、その差が大きいとき、つまり映像シーンが急変したときは係数を0とし、ヒストグラムメモリ2に記憶された瞬時のヒストグラム分布をもとに演算を行う。

【0028】かかる構成によれば、バッファ21と、定数倍回路22と、加算器23と、映像シーン変化検出回路24を設けることにより、映像シーンが急に変化したときはフィードバック系の係数を変えることで最終出力の応答が遅れることなく補正を行うことができる。

【0029】なお、映像シーン変化検出回路24において、映像シーンの変化の検出はヒストグラムの最小値から行ったが、最大値や平均値等からも行うことができる。

【0030】（実施例3）次に、本発明の第3の実施例について図面を参照しながら説明する。

【0031】図3において、10はルックアップテーブル演算回路、11はルックアップテーブルメモリであり従来例と同様である。31は定数倍回路でルックアップテーブルメモリ11から供給される入力信号にある定数を乗算する。32は加算器であり、ルックアップテーブル演算回路10の出力と定数倍回路31の出力の加算を行う。その出力をルックアップテーブルメモリ11に供給するようにしている。その他の構成は図5と同様である。

【0032】以上のように構成された階調補正装置についてその動作を説明する。ルックアップテーブルメモリ11の内容を順次更新する際、まず、ルックアップテーブルメモリ11のデータを出力し、その出力データに定数倍回路31である一定値を乗算する。次に、この定数倍回路31の出力データ $v$ とその輝度レベルに対応するルックアップテーブル演算回路10で算出された変換データ $u$ を加算器32で加算し、その結果 $w$ をルックアップテーブルメモリ11に書き込む。

【0033】かかる構成によれば、定数倍回路31と、加算器32とによって巡回型フィルタ回路を構成し、その時定数によりルックアップテーブルの振動を抑制できる。

【0034】(実施例4)次に、本発明の第4の実施例について図面を参照しながら説明する。

【0035】図4において、10はルックアップテーブル演算回路、11はルックアップテーブルメモリ、31は定数倍回路、32は加算器であり図3の構成と同様なものである。図3の構成と異なるのは、映像シーン変化検出回路33を設け、その入力端をルックアップテーブル演算回路10の出力端に接続し、映像シーン変化検出回路33の出力端を定数倍回路31の係数制御端に接続した点である。

【0036】以上のように構成された階調補正装置についてその動作を説明する。基本的な動作は実施例3と同様である。実施例3と異なるのは、まず、映像シーン変化検出回路33で以前のヒストグラムから算出したルックアップテーブルから輝度レベルを減算した差分の最大値と現在のヒストグラムから算出したルックアップテーブルと輝度レベルの差分の最大値の比較を行い、その差の大きさに応じて定数倍回路31の係数を変化させる。たとえば、その差が大きいき、つまり映像シーンが急変したときは係数を0とし、いま算出したルックアップ  
20 テーブルの瞬時値uをルックアップテーブルメモリ11に書き込む。

【0037】かかる構成によれば、定数倍回路31と、加算器32と、映像シーン変化検出回路33を設けることにより、映像シーンの急変時は巡回型フィルタ回路の時定数を変えることで補正出力の応答が遅れることなく補正を行うことができる。

【0038】なお、映像シーン変化検出回路33において、映像シーンの変化の検出はルックアップテーブルの差分の最大値から行ったが、変換曲線の傾きや、折れ曲  
30 がり点等から行うこともできる。

【0039】

【発明の効果】以上のように本発明は、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算  
40 回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端に接続されたバッファと、このバッファの出力端に接続された定数倍回路と、上記ヒストグラムメモリの出力と定数倍回路の出力を加算し、その加算結果をヒストグラムメモリに供給する加算器と、タイミング制御回路を設けることにより、映像信号に含まれる雑音等によるヒス  
50

トグラム分布の変動を抑制でき、補正された出力信号が振動しない優れた階調補正装置を実現できるものである。

【0040】さらに、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、上記ヒストグラムメモリの出力端にそれぞれ接続されたバッファおよび映像シーン変化検出回路と、上記バッファの出力端が入力端に接続され、映像シーン変化検出回路の出力端が係数制御端に接続された定数倍回路と、上記ヒストグラムメモリの出力と定数倍回路の出力を加算し、その加算出力をヒストグラムメモリの入力として供給する加算器と、タイミング制御回路を設けることにより、映像シーンの変化に応じて、フィードバック系の係数を変化させることで出力応答の遅れをなくすることができ、映像シーンの変化に追従した階調補正ができる優れた階調補正装置を実現できるものである。

【0041】また、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力と定数倍回路の出力を加算する加算器と、この加算器の出力端に接続されたルックアップテーブルメモリと、このルックアップテーブルメモリの出力端と加算器の入力端との間に接続された定数倍回路と、タイミング制御回路を設けることにより、各制御信号の誤検出によるルックアップテーブルのばたつきがあっても、メモリに書き込む最終ルックアップテーブルの変動は抑制でき、滑らかな階調補正を行う優れた階調補正装置を実現できるものである。

【0042】さらに、ヒストグラムメモリと、このヒストグラムメモリの出力端に接続されたヒストグラム演算回路と、このヒストグラム演算回路の出力端にそれぞれ接続されたりミッタ・加算回路および累積コントロール

11

レジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力端と累積コントロールレジスタ回路の出力端が接続されたヒストグラム累積加算回路と、このヒストグラム累積加算回路の出力端に接続された累積ヒストグラムメモリと、この累積ヒストグラムメモリの出力端と正規化コントロールレジスタ回路の出力端が接続されたルックアップテーブル演算回路と、このルックアップテーブル演算回路の出力と定数倍回路の出力を加算する加算器と、この加算器の出力端に接続されたルックアップテーブルメモリと、このルックアップテーブルメモリの出力を入力とし、出力端が加算器の入力端に接続された定数倍回路と、上記ルックアップテーブル演算回路の出力端と定数倍回路の係数制御端の間に接続された映像シーン変化検出回路を設けることにより、映像シーンの変化に応じて、巡回型フィルタ回路の係数を変化させることで出力応答が遅れない高速な階調補正ができる優れた階調補正装置を実現できるものである。

【図面の簡単な説明】

12

【図1】本発明の第1の実施例における階調補正装置のブロック図

【図2】本発明の第2の実施例における階調補正装置のブロック図

【図3】本発明の第3の実施例における階調補正装置のブロック図

【図4】本発明の第4の実施例における階調補正装置のブロック図

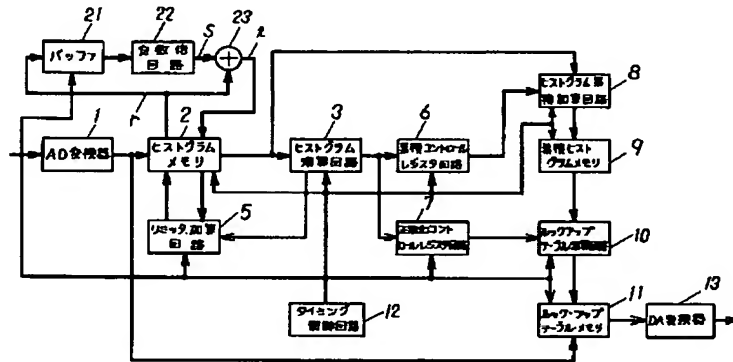
【図5】従来の階調補正装置のブロック図

【図6】従来の階調補正装置の動作を説明する波形図

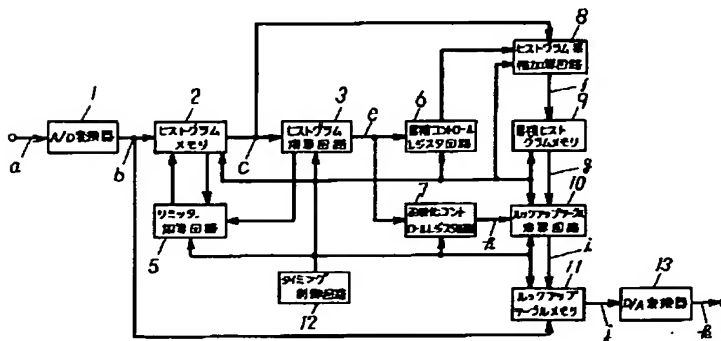
【符号の説明】

- 21 パッファ
- 22 定数倍回路
- 23 加算器
- 24 映像シーン変化検出回路
- 31 定数倍回路
- 32 加算器
- 33 映像シーン変化検出回路

【図1】



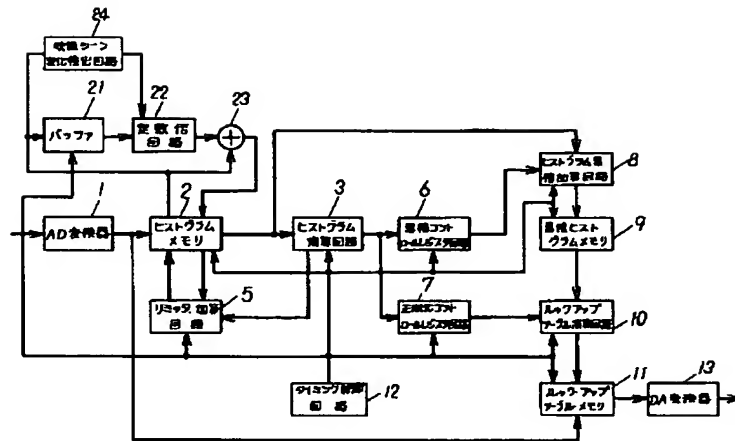
【図5】



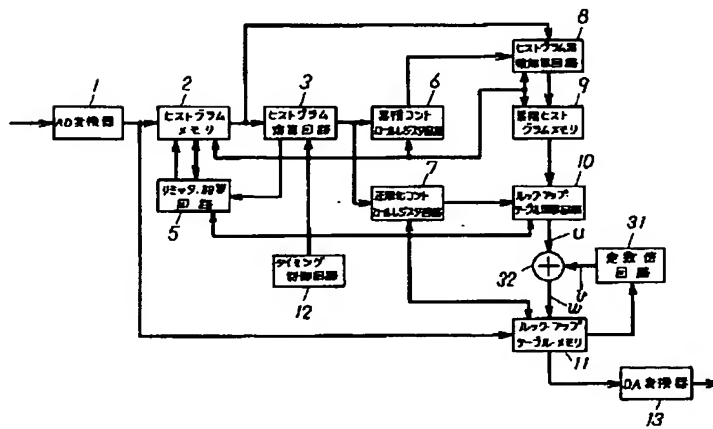


特開平4-293365

【図 2】



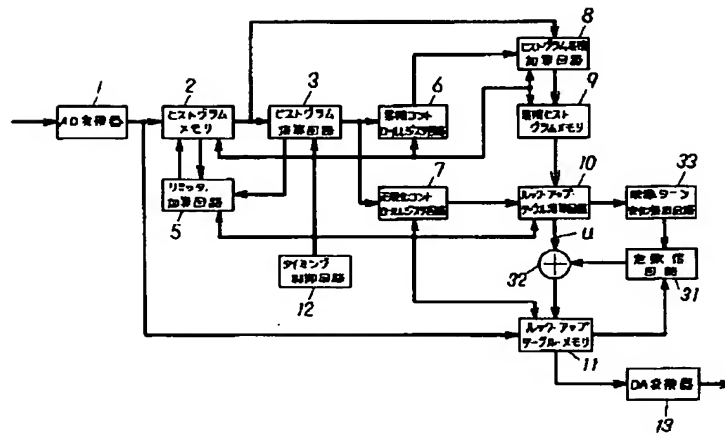
【图3】



(9)

特開平4-293365

【図4】



【图6】

